



KOREAN PATENT ABSTRACT (KR)  
PUBLICATION

(11) Publication No.: 1998-073447 (43) Publication Date: 5 November 1998  
(21) Application No.: 1997-008718 (22) Application Date: 14 March 1997  
(51) Int. Cl.:  
G11C 7/00

(73) Applicant:  
Kim, Kwang-ho, Samsung Electronics Co., Ltd.  
416 Maetan-3-dong, Paldal-gu, Suwon-City,  
Kyunggi-do, Korea

(72) Inventor:  
Lee, Jae-hyung

(54) Title of the Invention:

Input buffer of semiconductor memory device

Abstract:

Provided is an input buffer of a semiconductor memory device including an inverter which is coupled to an input signal and inverts the input signal if a LVTTL signal is input, and a differential amplifier which is coupled to the input signal and the inverter and compares the input signal and a reference signal if a SSTL signal is input. The input buffer operates as the inverter for LVTTL interface, and operates as the differential amplifier for SSTL interface, thereby reducing stand-by current.

RECEIVED  
MAY 30 2002  
TECHNOLOGY CENTER 2800

10-2000-7522

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. G11C 7/00	(11) 공개번호 (43) 공개일자	특1998-073447 1998년11월05일
(21) 출원번호	특1997-008718	
(22) 출원일자	1997년03월14일	
(71) 출원인	삼성전자 주식회사, 김광호 대한민국 442-373 경기도 수원시 팔달구 배민동 416번지	
(72) 발명자	이재형 대한민국 463-500 경기도 성남시 분당구 구미동 222번지 무지개마을 권영아파트 1002동 603호	
(77) 심사청구	없음	Y
(54) 출원명	반도체 메모리 장치의 입력 버퍼	

본 발명은 반도체 메모리 장치의 입력 버퍼에 관한 것으로, 입력 신호에 연결되어 LVTTL의 신호가 입력 신호로서 입력되면 상기 입력 신호를 반전시키는 인버터, 및 상기 입력 신호와 상기 인버터에 연결되고 SSTL의 신호가 입력 신호로서 입력되면 입력 신호와 참조 전압을 비교하여 출력 신호를 출력하는 차동 증폭부를 구비함으로써, 인터페이스가 LVTTL일 경우는 인버터로 동작되고 인터페이스가 SSTL일 때는 차동 증폭기형으로 동작하며, 따라서 대가 전류도 감소된다.

도 1은 본 발명에 따른 반도체 메모리 장치의 입력 버퍼의 회로도.

본 발명의 다른 특징은

다음과 같다.

본 발명에 따른 반도체 메모리 장치의 입력 버퍼는

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 입력 버퍼에 관한 것이다.

반도체 메모리 장치를 이용하는 시스템의 성능이 향상되기 위해서는 반도체 메모리 장치의 성능도 향상되어야 한다. 반도체 메모리 장치의 성능을 향상시키기 위한 방법 중의 하나가 하이 퍼포먼스(high performance)용 인터페이스 로직이 제시되고 있다. 동적식 DRAM 장치의 경우, 클럭 주파수가 66.7[MHz]이하에서는 인터페이스로 보통 LVTTL(Low Voltage Transistor Transistor Logic) 또는 LVC MOS(Low voltage CMOS)이 사용되고 있지만, 클럭 주파수가 100[MHz]이상으로 향상되면 또한 인버터나 소위 SSTL(Stub Series Transceiver Logic)과 같은 새로운 인터페이스 구조가 제시되고 있다. 왜냐하면 LVTTL 루퍼는 신호 강도(strength) 측면에서 100[MHz] 이상의 동작을 만족시키기 어렵게 되었다.

입력 버퍼는 반도체 장치의 외부에서 입력되는 신호의 전압 레벨을 감지하여 반도체 장치의 내부에서 사용되는 전압 레벨로 변환시켜주는 역할을 하는 수단이다. 일반적으로 반도체 메모리 장치에 사용되는 입력 버퍼는 LVTTL 인터페이스의 경우 LVTTL 신호를 입력으로 받아서 CMOS 레벨로 변환시켜준다. 동적식 DRAM에 사용되는 입력 버퍼는 인터페이스에 상관없이 입력 버퍼의 동작을 관촬할 수 행하기 위하여 일반적으로 차동 증폭기형으로 구성된다. 그런데 차동 증폭기형의 입력 버퍼는 공통 소스가 공통된 대가 상태에서 소르는 대가 전류가 많이 흐른다.

같은 입력 버퍼가 인버터로 구성되면 상기 대가 전류가 많이 흐르는 문제점을 어느 정도 해결할 수 있다.

그런데 인터페이스가 SSTL일 때는 최소 전압을 0.2V<sub>DD</sub>~400[mV]의 전압이 입력 신호로서 인가되므로, 이 때는 인버터로 구성된 입력 버퍼는 사용할 수가 없다.

따라서, 본 법령에 따르면 차등 기술적 대책은 인터페이스가 LVTT인 경우는 인터페이스 부착되고, 인터페이스가 682일 이하인 경우에는 부착으로 결정되고, 만일 682일 초과인 경우에는 부착을 결정하는데 있다.

상기 과정을 0 루기 위하여 본 발명은, 입력 신호에 연결되어 LVTTL의 신호가 입력 신호로서 입력되면 상기 입력 신호를 반전시키는 인버터, 및 상기 입력 신호와 상기 인버터에 연결되고 SSTL의 신호가 입력 신호로서 입력되면 입력 신호와 장소 소인용 비교하여 출력 신호를 출력하는 자동 출력부를 구비하는 것을 특징으로하는 반도체 어댑터 장치의 일실 버전을 제공한다.

상기 본 발명의 임팩트 방법에 의하면, 인터페이스가 LVTL을 경우는 인터미터로 동작되고, 인터페이스가 SST일 때는 차동 신호 기형으로 동작한다.

이하, 실시예를 통하여 본 발명을 상세히 설명하기로 한다.

표 1의 주 설명에 따른 광도채 에피로리 상치와 인접 비파의 회귀모형은, 표 1에 도식된 광도채 피는 인버전부(11)의 지동 순서(표 5)로 구성된다.

상기 인버팅부(1')는 PMOS트랜지스터(13)와 NMOS트랜지스터(15)를 구비한다.

PMOS트랜지스터(13)는 전원 전압(Vcc)에 소오스가 연결되고, 입력 신호(IN)에 게이트가 연결되며, 차동 증폭부에 드레인이다 연결되어있다. PMOS트랜지스터(13)는 입력 신호가 논리 로우(low) 레벨이면 활성화되어 전원 전압(Vcc)을 상기 차동 증폭부(51)에 인가하고, 입력 신호(IN)가 논리 하이(high) 레벨이면 비활성화된다.

NMOS드레지스터(15)는 차동 증폭부(51)에 드레인에 연결되고, 입력 신호(IN)와 게이트가 연결되며, 접지단(GND)에 소오스가 연결되어 있다. NMOS드레지스터(15)는 입력 신호(IN)가 논리 하이 레벨이면 활성화되어 상기 차동 증폭부(51)를 위에이들(enable)시키고, 입력 신호(IN)가 논리 로우 레벨이면 비활성화되어 상기 차동 증폭부(51)를 디에이들(disable)시킨다.

상기 자동 검증부(51)는 두 개의 PMOS트랜지스터들(53,55)과 두 개의 NMOS트랜지스터들(57,59)을 구비한다.

PMOS는 판치스타(53)는 PMOS의 원지스타도, 드레인에 소오스가 연결되고, 게이트와 드레인은 서로 연결된다.

PROS≡원시 소문(55) = PROS≡파시소문(53)의 수위 소문 코드에 각각 55 소문 코드값을 곱함.

CMOS트랜지스터(57)는 PMOS트랜지스터(53)와 드레인에 레이어 형성되고, 게이트 전압(V<sub>gate</sub>)에 게이트가 형성되며, NMOS 트랜지스터(56)와 드레인의 주입층이 형성된다.

\*IMOS트랜지스터(59)는 PMOS트랜지스터(55)의 드레인에 + 바이어스 인가되고, 입력 신호(1)에 게이트가 연결되며, NMOS트랜지스터(57)의 소오스에 소오스가 연결된다.

그리고 상기 차동 증폭부(51)의 출력단에 인버터(71)가 연결되어 상기 차동 증폭부(51)의 출력을 반전시켜서 일련 터미의 출력 신호(OUT)를 발생시킨다.

드 1에 도시된 입력 변화의 동작을 설명하기르 한다.

먼저, LVTTL의 입력 신호(IN)가 인가될 경우에 대해서 설명하기로 한다. 입력 신호(IN)가 논리 하이 레벨이면 NMOS트랜지스터들(15,59)가 활성화되므로 오버러(71)의 입력단은 논리 로우 레벨이 되고 그로 인하여 출력 신호(OUT)는 논리 하이 레벨이 된다. 입력 신호(IN)가 논리 로우 레벨이면 NMOS트랜지스터들(15,59)은 비활성화되고, PMOS트랜지스터(13)가 활성화되면 오버러의 출력단은 논리 하이 레벨이 되고, 그로 인하여 출력 신호(OUT)는 논리 로우 레벨이 된다. 따라서 입력 되는 LVTTL의 입력의 인가된 경우는 위반대로서 동작한다.

다음, SSIL의 입력 신호와 출력측 경우에 대한 측정하고자 한다. 입력 신호(IN)은  $(V_{REF} \pm 0.1V)$ 의 전압 레벨에서, NMOS 트랜지스터(15)와 PMOS트랜지스터(13)에 모두 인입(connected)된다. 그리고 일정한 전압( $V_{REF}$ )에 의해 신호(OH)는 차분 증폭(VREF)에 놓으면 NMOS트랜지스터(57)와 PMOS트랜지스터들(53,55)가 활성화된다. 한편, 입력에 의해 출력 신호(OUT)는 특히 다음 레벨에 있다. 만약 입력 신호(IN)과 일정한 전압( $V_{REF}$ )보다 높으면 NMOS트랜지스터(53)가 활성화되고 출력 신호(OUT)는 특히 하이 레벨에 있다. 반대로, SSIL의 입력 신호가 일정한 전압보다 낮아지면 입력 변위는 차분 증폭기로 동작한다.

본 문장은 앞의 절과 이어 연결되지 않았으며, 같은 문장을 두 문장으로 나눌 수 있을 때 앞에서 상·중·하에서 절간의 지조를 직접 나타내 주는 관형어를 사용한다.

상술한 바와 같이 문 발명에 따르면, 인터페이스가 LVTTL일 경우는 인버타로 동작되고, 인터페이스가 SSTL일 때는 차동 증폭 기형으로 동작한다. 따라서 더가 전력도 감소된다.

107. 청구항 1

청구항 1.

입력 신호에 연결되어 LVTTL의 신호가 입력 신호로서 입력되면 상기 입력 신호를 반전시키는 인버터; 및

상기 입력 신호와 상기 인버터에 연결되고 SSTL의 신호가 입력 신호로서 입력되면 입력 신호와 참조 전압을 비교하여 출력 신호를 출력하는 차동 증폭부를 구비하는 것을 특징으로하는 반도체 메모리 장치의 입력 회로.

이정

도면 1

